

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent

Customer No. 31561
Application No.: 10/707,012
Docket No. 10070-US-PA



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Hu et al.
Application No. : 10/707,012
Filed : November 13, 2003
For : STRUCTURE AND METHOD FOR REDUCING SOURCE
LINE RESISTANCE OF LIGHT EMITTING DIODE
Examiner :
Art Unit : 2673

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
091135004, filed on: 2002/12/03.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

April 8, 2004

By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

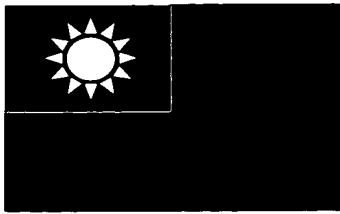
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 03 日
Application Date

申請案號：091135004
Application No.

申請人：友達光電股份有限公司
(Applicant(s))

局長
Director General

蔡練生

發文日期：西元 2003 年 12 月 5 日
Issue Date

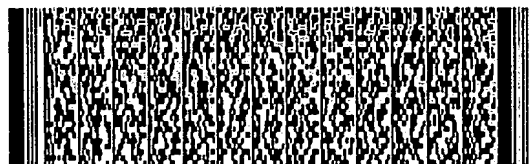
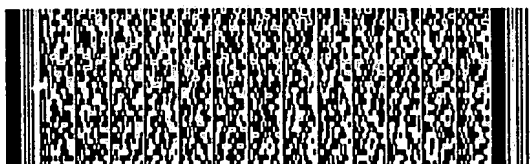
發文字號：09221234130
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	降低電源線阻值之結構與方法，可適用於一發光二極體顯示器
	英文	Structure and Method for reducing the resistance of power line, suitable for use in a LED displayer
二、 發明人 (共2人)	姓名 (中文)	1. 胡珍儀 2. 孫文堂
	姓名 (英文)	1. Jen-Yi, Hu 2. Wein-Town Sun
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北縣西安路二段367號2樓 2. 高雄市楠梓區和光街95巷1號
	住居所 (英文)	1. 2. No. 1, Lone 95, Ho-Kuang St., Nan-Tzu Ward, Kaohsiung City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 友達光電股份有限公司
	名稱或 姓名 (英文)	1. Au Optonics Corporation
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. Kun-Yao Lee



四、中文發明摘要 (發明名稱：降低電源線阻值之結構與方法，可適用於一發光二極體顯示器)

一種降低發光二極體顯示器中電源線阻值之結構與方法。於一發光二極體顯示器中，至少包括一發光二極體，一電源，以及一電源線結構，以引導該電源，以提供驅動發光二極體所需電源。其中降低阻值結構包括，在該電源線結構之至少一部份之上面有一絕緣層。絕緣層包括有至少二開口，暴露該電源線結構。一導電層結構覆蓋於該絕緣層上，且透過該至少二開口與該電源線結構電性接觸，如此構成該導電層結構與該電源線結構有一部份並聯。由於並聯之該導電層結構，使電源線結構之阻值降低。

伍、(一)、本案代表圖為：第____4____圖

(二)、本案代表圖之元件代表符號簡單說明：

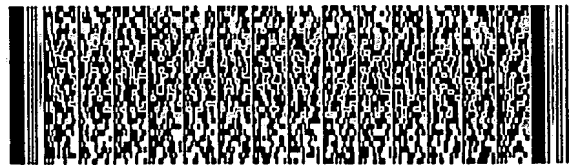
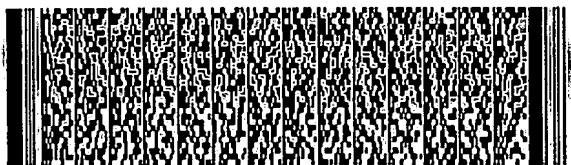
116 電源線

124 導電層

122 絕緣層

陸、英文發明摘要 (發明名稱：Structure and Method for reducing the resistance of power line, suitable for use in a LED displayer)

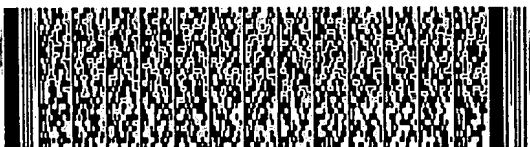
A structure and method for reducing the resistance of power line, suitable for use in a LED displayer. A LED displayer at least includes a LED, a power source, and a power line structure for leading the power source for providing the necessary power to drive the LED. Wherein, the structure for reducing the resistance at least includes an insulating layer over at least a



四、中文發明摘要 (發明名稱：降低電源線阻值之結構與方法，可適用於一發光二極體顯示器)

陸、英文發明摘要 (發明名稱：Structure and Method for reducing the resistance of power line, suitable for use in a LED displayer)

portion of the power line structure with at least two opening to expose the power line structure. A conductive layer structure covers over the insulating layer and has the electric connection with the power line structure via the openings. As a result, the power line structure and the conductive layer structure have a portion being coupled in parallel. Due to the conductive layer



四、中文發明摘要 (發明名稱：降低電源線阻值之結構與方法，可適用於一發光二極體顯示器)

陸、英文發明摘要 (發明名稱：Structure and Method for reducing the resistance of power line, suitable for use in a LED displayer)

structure in parallel, the resistance of the power line structure is reduced.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

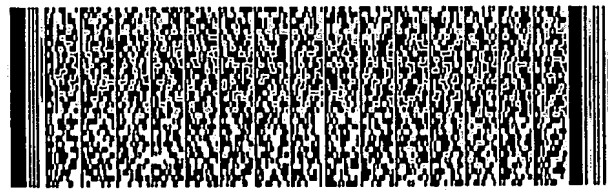
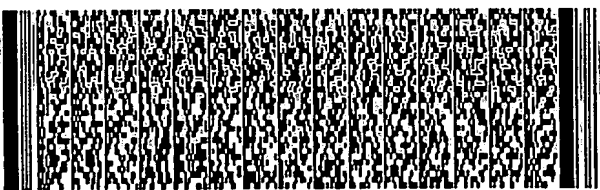
本發明是有關於一種發光元件顯示技術。特別是關於一種有機發光顯示器 (organic light emitting diode, OLED) 之結構，以降低電源線之阻值，以提供一穩定均勻之驅動電壓給每一畫素之OLED。

先前技術

隨著高科技之發展，視訊產品，特別是數位化之視訊或影像裝置已經成為在一般日常生活中所常見的產品。這些數位化之視訊或影像裝置中，顯示器是一個重要元件，以顯示相關資訊。使用者可由顯示器讀取資訊，或進而控制裝置的運作。

為了配合現代生活模式，視訊或影像裝置之體積日漸趨於薄輕。傳統的陰極射線顯示器，雖然仍有其優點，但是其需佔用大體積且耗電。因此，配合光電技術與半導體製造技術，面板式的顯示器已被發展出成為目前常見之顯示器產品，例如液晶顯示器或是主動式有機發光顯示器。

液晶顯示器之技術已發展有多年，是以較難有突破。然而有機發光顯示技術，為新發展技術，於未來可與液晶顯示器一起成為顯示器之主流。有機發光顯示器之最大的特色便是利用TFT技術驅動有機發光二極體，且將驅動IC直接製做在面板上，達到體積輕薄短小及降低成本的需求，可運用在行動電話、PDA、數位相機及掌上型遊戲機、攜帶型DVD播放機及汽車導航器等中小尺寸面板上，



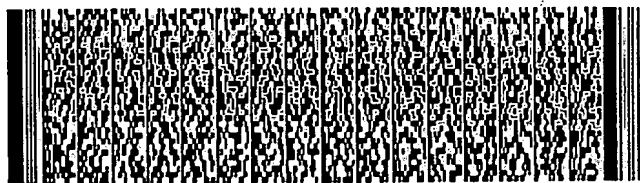
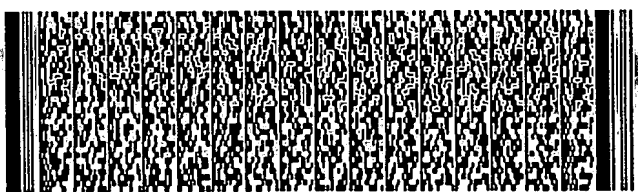
五、發明說明 (2)

將來甚至可運用在大尺寸面板如電腦及平面電視等。

對於數位化的顯示器，其特徵是其顯示螢幕，是由一些畫素以點陣方式排列而構成的。為了控制個別的畫素單元，其一般經由一掃描線與一數據線，以選取特定之畫素，並施於適當的操作電壓，以顯示對應此畫素之顯示資料。

第1圖所繪示為傳統上，有機發光二極體之畫素陣列之驅動的電路示意圖。一般顯示器可分為主動式與被動式。以下僅以一被動式電路作為說明。請參考第1圖，掃描線連接於每一畫素之一薄膜電晶體(thin film transistor, TFT) 100 之閘極，其於一圖框時間內會被打開。而數據線，連接TFT 100之一源/汲極，以電壓形式將數據輸入到相關畫素。電壓值會被電容110維持，而打開TFT 104。此時，電源線116會將一電源Vdd透過一電流源TFT 104轉變為電流，而流過發光二極體108，例如是OLED，因此一數據線之電壓，發出所需之光，包括此畫素之灰階度。

由於一個畫面一般係由多數個畫素以二維陣列方式排列而成，例如640x480個畫素。換句話說，一條電源線116會同時提供電壓給一排或是一列之畫素的每一個發光二極體108。雖然電源線116是一種導電材料，一般例如是由多晶矽之半導體材料所形成，其本身仍有一些電阻。因此，對於一條延伸很長的電源線116，其第一個畫素之電壓，會比最後一個畫素之電壓大。當面板之面積愈大時，其差



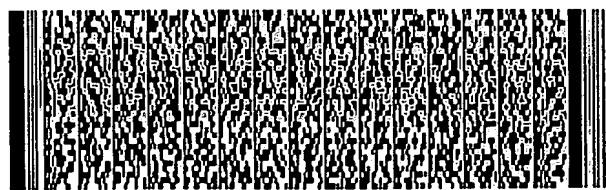
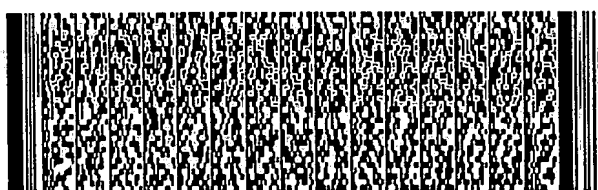
五、發明說明 (3)

值就更為明顯。第2圖繪示傳統之電源線結構。電源線116一般會跨過掃描線112，而透過插塞120，與TFT連接。掃描線112與電源線116之間有絕緣層(未繪示)相隔。電源線116例如是由半導體多晶矽材料所構成。絕緣層中有導電插塞120，與電源線116連接。當驅動電源Vdd，流經電源線116時，會因電源線116本身的電阻，而產生壓降。電源線116或可採用高導電性之材料，然其會使製程變為較複雜，而成本也會提高。多晶矽材料是半導體材料，可與製造TFT之其他相關元件，一起定義形成，而不需很多額外製程。然而，多晶矽材料之導電性，於長距離的走線設計下，會因阻值而產生壓降。

由於，發光二極體108之亮度會受驅動電壓Vdd之值而改變。因此，在上述傳統之設計中，面板亮度的均勻度一直是一大考驗。由於OLED的驅動方法必須利用一電流源TFT 104將驅動電壓，轉換成電流而驅動OLED 108，電壓之穩定性，直接影響流過OLED 108之電流。特別是，在面板尺寸增大之趨勢下，畫素走線勢必都很長，走線本身的阻值影響就更明顯。因此，造成亮度不均勻的現象。

發明內容

有鑑於此，本發明提供一種減低電源線阻值的結構與方法，利用另一導電層與原本之電源線構成並聯以降低阻值，使驅動電源於走線的壓降變小。對於畫素有較均勻之電壓值分佈，以改善傳統中亮度不均的問題。



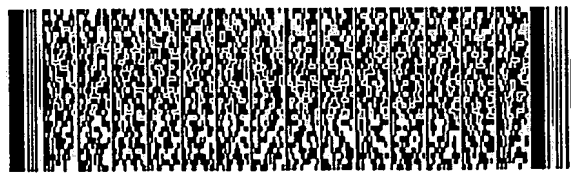
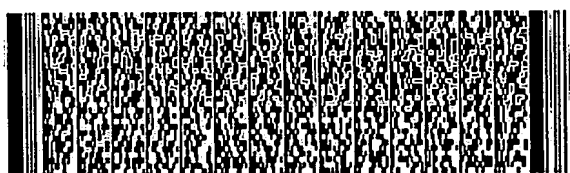
五、發明說明 (4)

本發明提供一種減低電源線阻值的結構與方法，可改善面板上每一畫素之驅動電壓的均勻度，可降低功率消耗。對應地，電流的均勻度與功率消耗可有效改善。

本發明之設計，不需要改變原始設計之電源線材質，就可降低電源線阻抗。本發明之並聯結構，可設置於電源敏感之處，以降低電源壓降。

本發明提供一種降低發光二極體顯示器中電源線阻值之結構。於一發光二極體顯示器中，至少包括一發光二極體，一電源，以及一電源線結構，以提供驅動發光二極體所需電源。其中降低阻值結構包括，在該電源線結構之至少一部份之上面有一絕緣層。絕緣層包括有至少二開口，暴露該電源線結構。一導電層結構覆蓋於該絕緣層上，且透過該至少二開口與該電源線結構電性接觸，如此構成該導電層結構與該電源線結構有一部份並聯。由於並聯之該導電層結構，使電源線結構之阻值降低。

本發明提供一種降低發光二極體顯示器中電源線阻值之方法，可適用於一發光二極體顯示器中。其中該發光二極體顯示器中，已形成有複數個畫素，每一該些畫素包括一發光二極體，以及一電源線結構以引導一電源，而提供驅動該發光二極體所需之電源。該降低電源線阻值之方法包括：形成一絕緣層，位於該電源線結構上面；形成複數個開口於該絕緣層中，以暴露出該電源線結構；以及形成一導電層結構覆蓋於該絕緣層上，且填入該些開口與該電源線結構電性接觸，以降低該導電層結構之阻值。



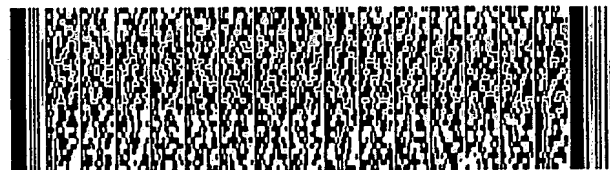
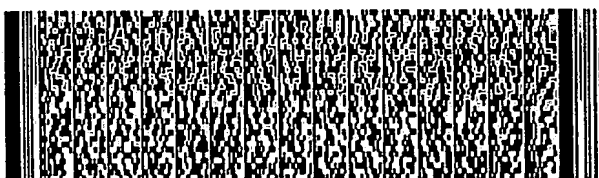
五、發明說明 (5)

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

本發明的主要特徵之一係利用一導電層與電源線結構之至少一部份構成並聯，因此降低電源線阻值。也因此減少電源線分配到畫素的驅動電壓值的壓降。

對於顯示面板之驅動電路，一般包括掃描線與數據線，其為了提高驅動速度，掃描線與數據線會採用較低阻抗之金屬導線。此時，電源線會採用較大阻抗之導電材料，例如多晶矽之材料。第3圖繪示依照本發明，電源線結構上視圖。為了降低電源線結構之阻值，在不改變電源線之原本設計結構且不需要額外之微影罩幕製程的情況下，本發明於製造過程中，增加一導電層的形成。於第3圖中，導電層124可經插塞126與電源線116並聯連接。第4圖繪示依照本發明，於第3圖中沿著I-I線之剖面結構圖。於電源線116層上，形成有一絕緣層122，或是介電層。於絕緣層122中形成二開口128，以暴露出電源線116層。而後導電層124形成於絕緣層122上，且填滿二開口128與電源線116層電性連接。因此，導電層124與電源線116層之至少一部份構成一並聯結構。導電層124一般會選擇導電性比原本電源線之材質之導電性高之材質。



五、發明說明 (6)

於第4圖中，電源線116層僅部分被說明。然而電源線116，在整個電路而言，如第1，6，7圖所示，可有其他不同結構。基於相同之設計原理，導電層124可分成多段，散佈於畫素中所欲改善之部位。甚至，導電層124也可延伸至大部分之電源線116層，且包括有多個插塞126。相鄰之二插塞構成一段並聯結構，以降低阻值。通常並聯部位以不在跨線區域為較佳之安排。於第6圖與第7圖會有較詳細描述。

另外，對於導電層124與插塞126而言，可以視為一導電結構。利用半導體之微影蝕刻過程，先於絕緣層122中，形成至少二開口128。一般二開口128位於需要並聯結構之二端。至於導電層124可於沉積形成時，同時填滿開口128。此時，導電層124與插塞126為一體而形成。然而，如若是必要，插塞126可另外形成，而後導電層124才沉積形成。這些各別的製程，係屬習知技藝，應可為熟此技藝者所了解，而不詳述。只要依本發明所提出的設計架構，就可減低電源線之阻值。

就導電層124而言，其也可形成於電源線之上，而配合多對插塞構成幾段之並聯結構。換句話說，就單一之導電層124有至少二個插塞，構成至少一部分之並聯結構。其原理與第4圖所示相同。

第5圖繪示依照本發明，電阻的等效電路。為了驗證本發明的設計之實際效果。其中R4係依據本發明之導電結構所構成之並聯電阻。依此畫素之結構，當電源線施加



五、發明說明 (7)

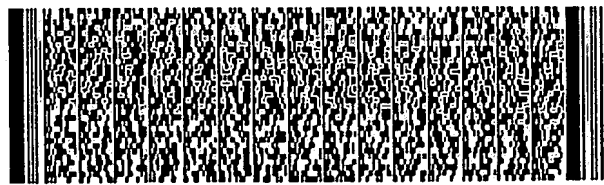
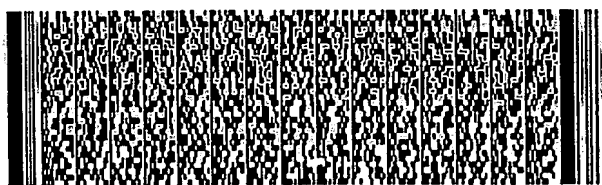
10V之電壓，其模擬結果顯示本發明可有效降低電壓線阻值。在具有320畫素之一序列下，就傳統之設計，驅動電壓在第320個畫素，已降為8.85V。然而，如第5圖之設計，驅動電壓在第320個畫素仍維持在9.24V。因此驗證本發明所產生的效果。

就整體之畫素之設計而言，第6~7圖繪示依照本發明，電源線結構之二種佈局圖。於第6圖中，電源線結構可由一主電源線130及多條電源支線132、134...所構成。主電源線130連接於一電源Vdd，而後經電源支線132、134提供驅動電壓給每一畫素之發光二極體。主電源線130橫跨掃描線，而電源支線提供驅動電壓給每一畫素。為了降低電源之阻值，可選取適當部分，而形成並聯結構。當考量元件之平坦度，並聯結構之位置較佳為設置於非跨線區域。如圖示中，由136所表示之區域。而在電源支線上，也可設置。基本上，畫素與畫素之間皆可設置。

第7圖是另一種電源線結構之安排。此時主電源線140，係橫跨數據線，而後由電源支線142、144...提供驅動電源。同樣的設計，可在適當之區段，形成並聯結構。因此可降低電源線結構之阻值。

結論，本發明提供一種減低電源線阻值的結構與方法，利用另一導電層與原本之電源線構成並聯，以使驅動電源於走線的壓降變小。對於畫素有較均勻之電壓值分佈，以改善傳統中亮度不均的問題。

本發明提供一種減低電源線阻值的結構與方法，可改

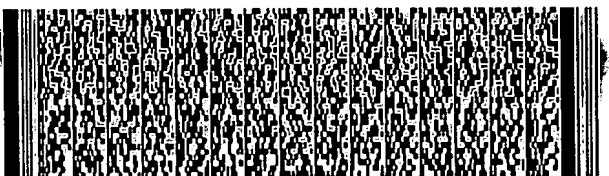


五、發明說明 (8)

善面板上每一畫素之驅動電壓的均勻度及降低功率消耗。對應地，電流的均勻度與功率消耗可有效改善。

本發明之設計，不需要改變原始設計之電源線材質，就可降低電源線阻抗。本發明之並聯結構，可設置於電源敏感之處，以降低電源偏差。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示傳統上，有機發光二極體之畫素陣列之驅動電路示意圖；

第2圖繪示傳統之電源線結構上視圖；

第3圖繪示依照本發明，電源線結構上視圖；

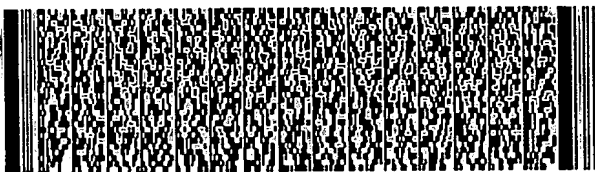
第4圖繪示依照本發明，於第3圖中沿著I-I線之剖面結構圖；

第5圖繪示依照本發明，電阻的等效電路；以及

第6~7圖繪示依照本發明，電源線結構之二種佈局圖。

圖式標記說明：

100，102，104	薄膜電晶體
110	電容
108	發光二極體
114	數據線
200，112	掃描線
116，130，132，134，140，142，144	電源線
120，126	插塞
124	導電層
122	絕緣層
138，139，148，149	驅動元件



六、申請專利範圍

1. 一種降低電源線阻值之結構，可適用於一發光二極體顯示器中，其中該發光二極體顯示器中，至少包括複數個畫素，每一該些畫素包括一發光二極體，一電源，以及一電源線結構，以提供驅動該發光二極體所需之電源，該降低電源線阻值之結構包括：

一絕緣層，位於該電源線結構上面，其中該絕緣層包括有至少二開口，以暴露出該電源線結構至少一部份之兩端；以及

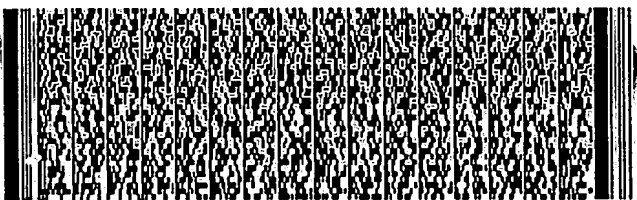
至少一導電層結構覆蓋於該絕緣層上，且透過該至少二開口與該電源線結構電性接觸，如此構成該導電層結構與該電源線結構至少有一部份並聯。

2. 如申請專利範圍第1項所述之降低電源線阻值之結構，其中該至少一導電層結構之一導電性大於該電源線結構之一導電性。

3. 如申請專利範圍第1項所述之降低電源線阻值之結構，其中該至少一導電層結構，包括複數個導電層結構，分佈於該些畫素之間。

4. 如申請專利範圍第1項所述之降低電源線阻值之結構，其中該電源線結構包括一主電源線以導入該電源，以及複數條電源支線，以提供電源給每一該些畫素之該發光二極體。

5. 如申請專利範圍第4項所述之降低電源線阻值之結構，其中該至少一導電層結構，包括一導電層，位於該主電源線上。



六、申請專利範圍

6. 如申請專利範圍第4項所述之降低電源線阻值之結構，其中該至少一導電層結構，包括一導電層，位於該些電源支線上。

7. 一種降低電源線阻值之結構，可適用於一發光二極體顯示器中，其中該發光二極體顯示器中，至少包括複數個畫素，每一該些畫素包括一發光二極體，一電源，以及一電源線結構，以提供驅動該發光二極體所需之電源，該降低電源線阻值之結構包括：

一絕緣層，位於該電源線結構上面，其中該絕緣層包括複數個開口，以暴露出該電源線結構；以及

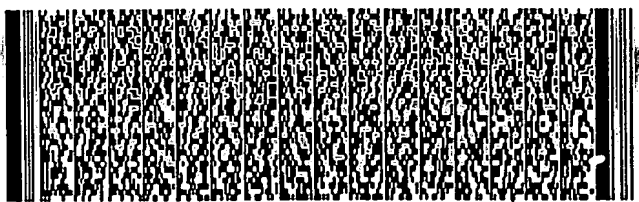
一導電層結構覆蓋於該絕緣層上，且透過該些開口與該電源線結構電性接觸，如此構成該導電層結構與該電源線結構至少有一部份並聯。

8. 如申請專利範圍第7項所述之降低電源線阻值之結構，其中該導電層結構之一導電性大於該電源線結構之一導電性。

9. 如申請專利範圍第7項所述之降低電源線阻值之結構，其中該些開口分佈於該些畫素之間。

10. 如申請專利範圍第7項所述之降低電源線阻值之結構，其中該電源線結構包括一主電源線以導入該電源，以及複數條電源支線，以提供電源給每一該些畫素之該發光二極體。

11. 如申請專利範圍第10項所述之降低電源線阻值之結構，其中該至少一導電層結構，包括一導電層，位於該



六、申請專利範圍

主電源線上。

12. 如申請專利範圍第10項所述之降低電源線阻值之結構，其中該至少一導電層結構，包括一導電層，位於該些電源支線上。

13. 一種降低電源線阻值之方法，可適用於一發光二極體顯示器中，其中該發光二極體顯示器中，已形成至少包括複數個畫素，每一該些畫素包括一發光二極體，以及一電源線結構以引導一電源，而提供驅動該發光二極體所需之電源，該降低電源線阻值之方法包括：

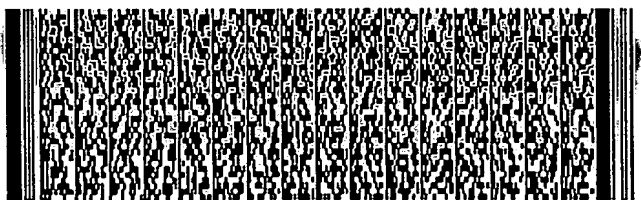
形成一絕緣層，位於該電源線結構上面；
形成複數個開口於該絕緣層中，以暴露出該電源線結構；
以及

形成一導電層結構覆蓋於該絕緣層上，且填入該些開口與該電源線結構電性接觸，以降低該導電層結構之一阻值。

14. 如申請專利範圍第13項所述之降低電源線阻值之方法，其中該導電層結構之一導電性大於該電源線結構之一導電性。

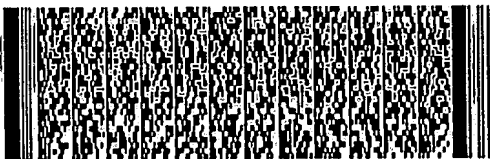
15. 如申請專利範圍第13項所述之降低電源線阻值之方法，其中該些開口之相鄰其二，被形成於該電源線結構之一部分之兩端。

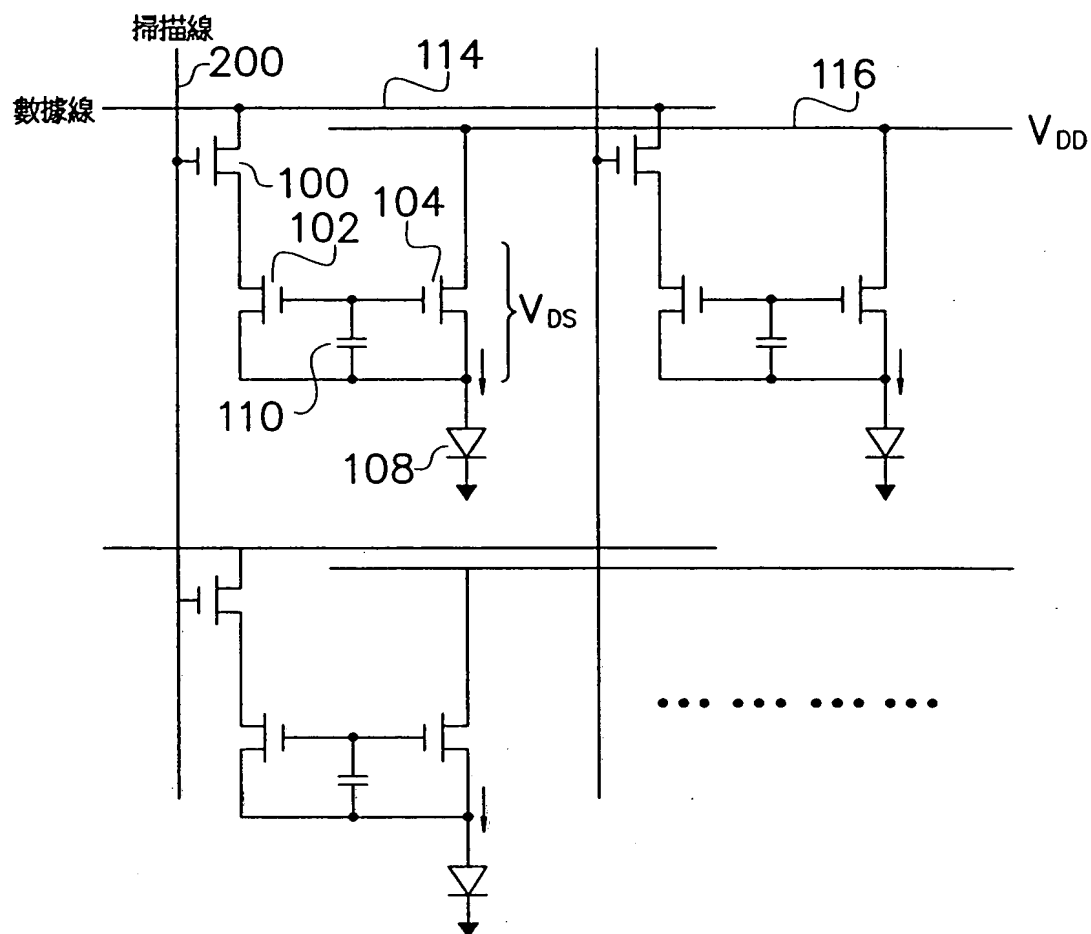
16. 如申請專利範圍第13項所述之降低電源線阻值之方法，其中形成該導電層結構覆蓋於該絕緣層上之該步驟，包括形成複數個導電層，且涵蓋二個該些開口。



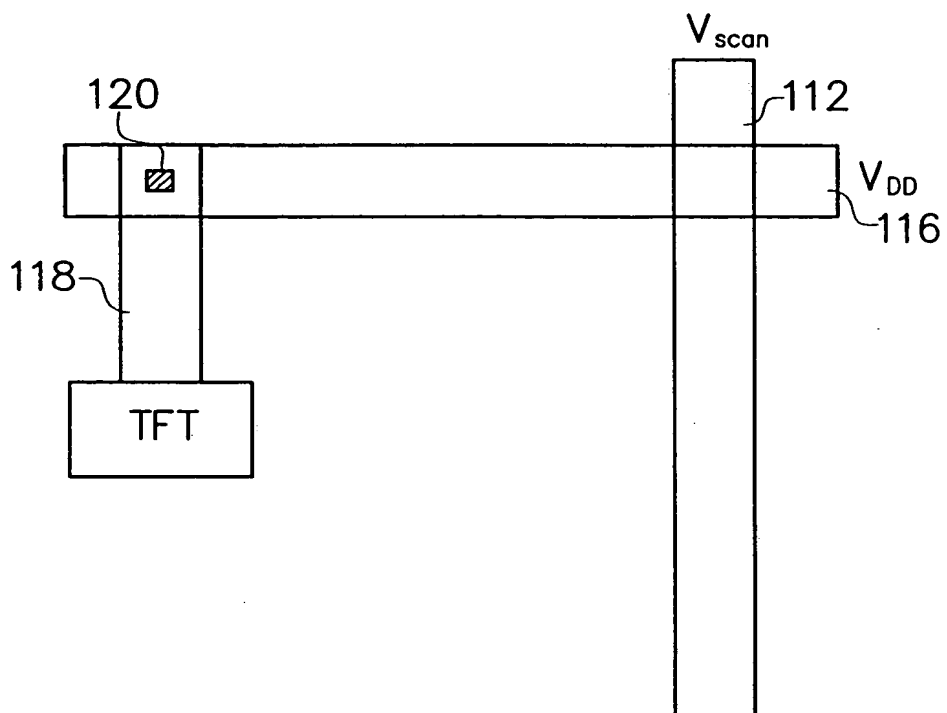
六、申請專利範圍

17. 如申請專利範圍第13項所述之降低電源線阻值之方法，其中該電源線結構包括一主電源線以導入該電源，以及複數條電源支線，以提供電源給每一該些畫素之該發光二極體，其中該形成該導電層結構覆蓋於該絕緣層上之該步驟，包括該形成該導電層結構於該電源線結構之上方。

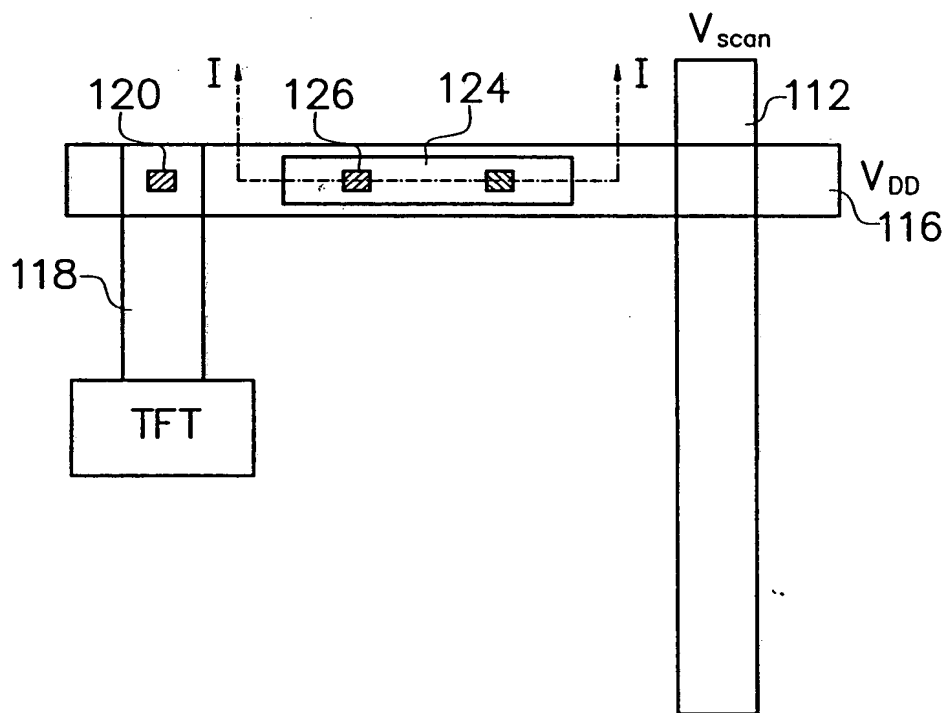




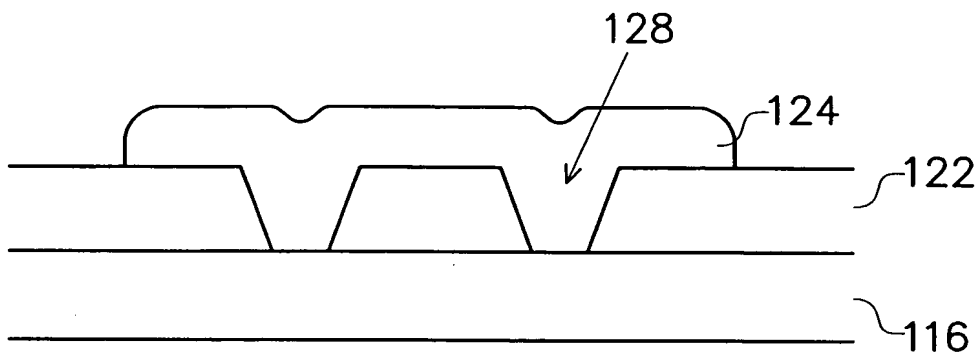
第 1 圖



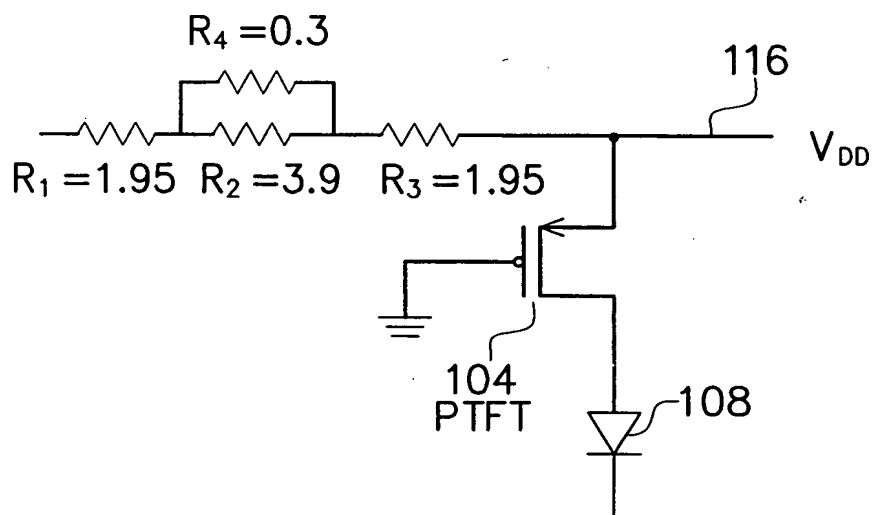
第 2 圖



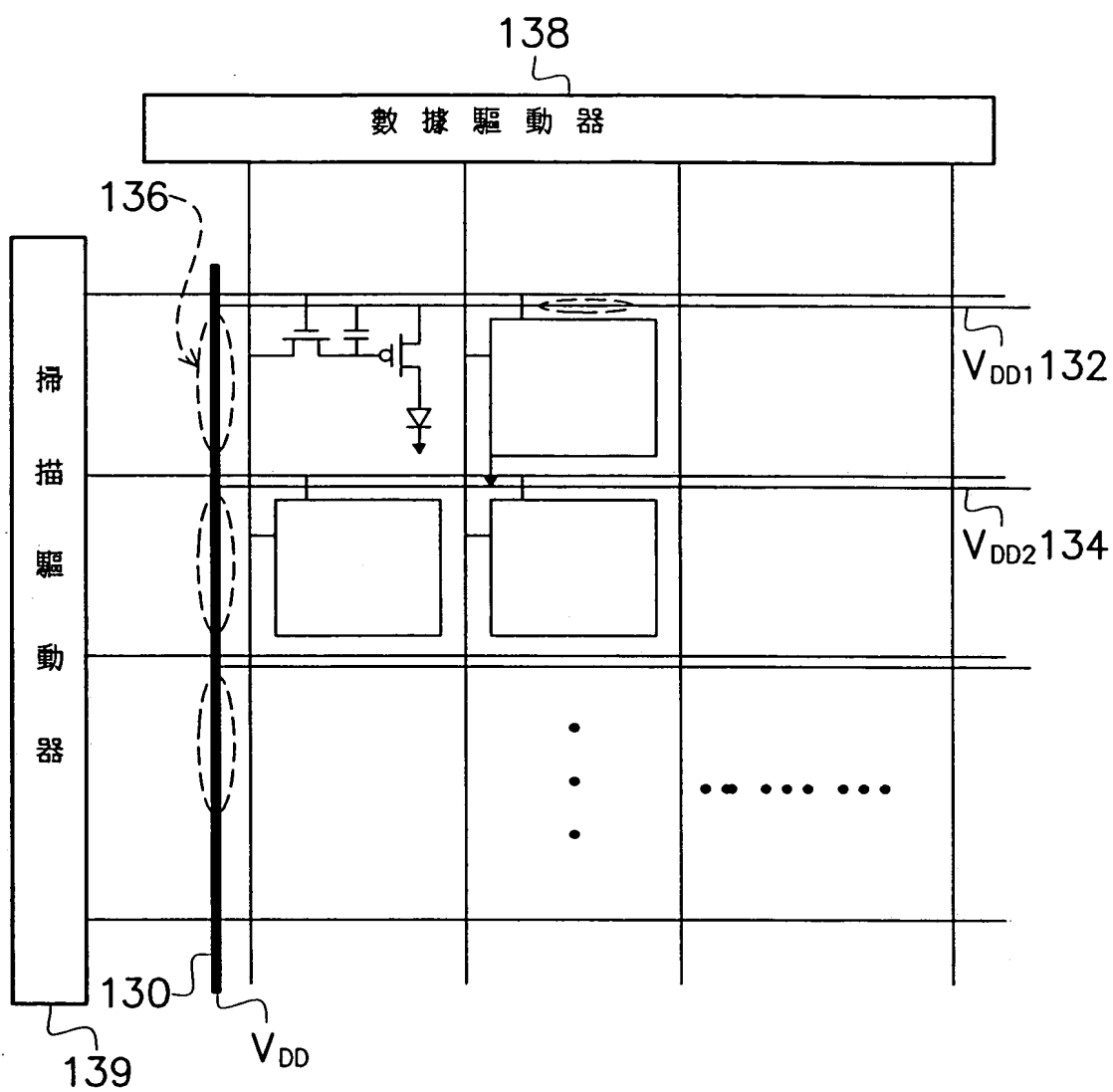
第 3 圖



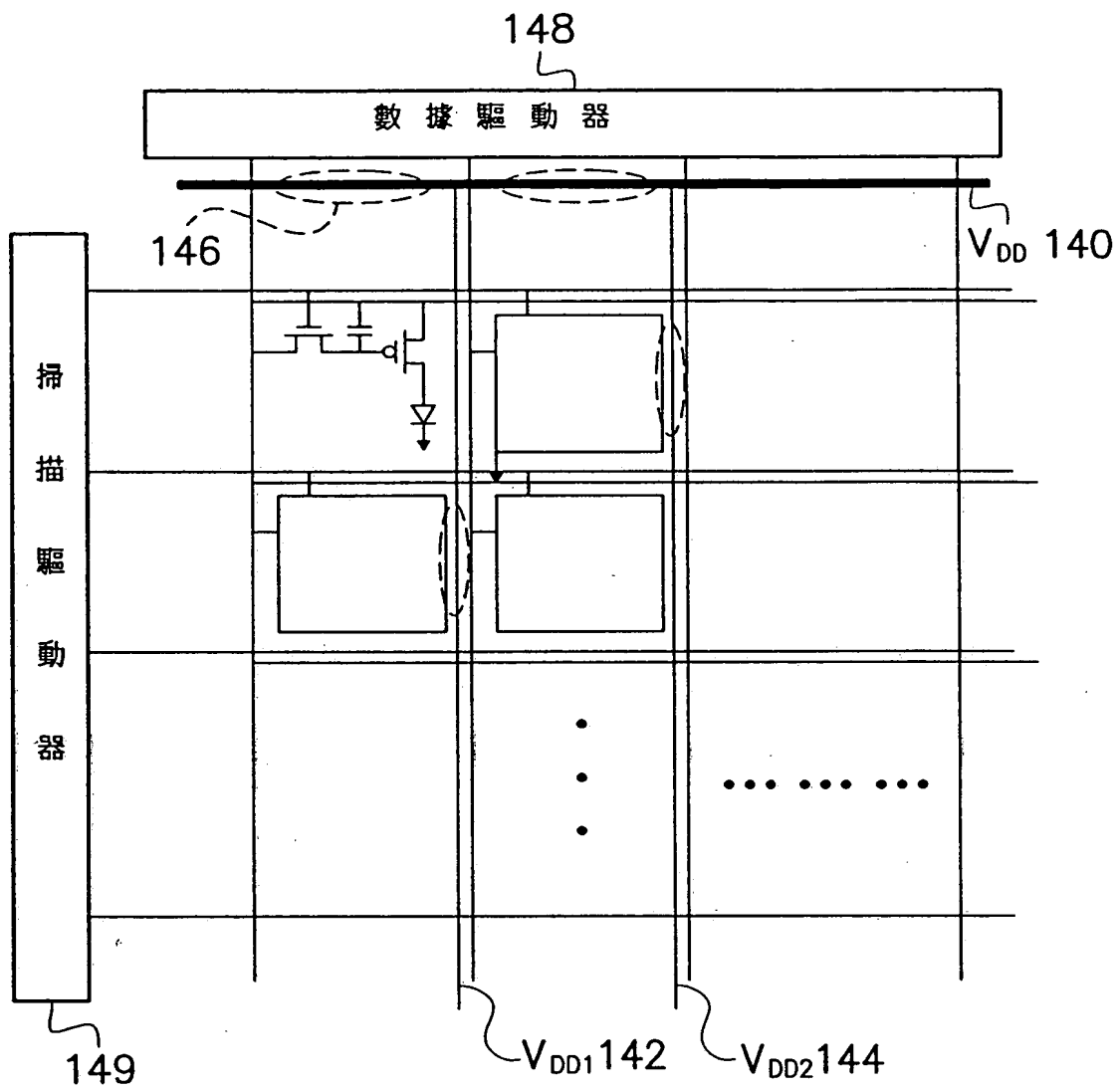
第 4 圖



第 5 圖

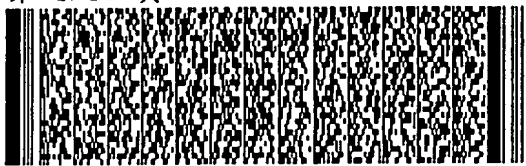


第 6 圖



第 7 圖

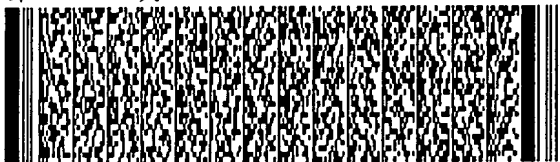
第 1/18 頁



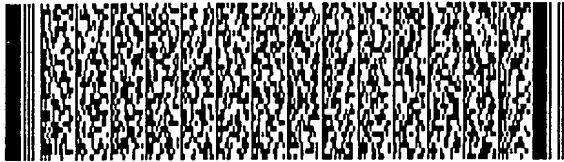
第 1/18 頁



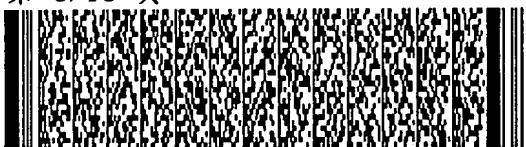
第 2/18 頁



第 2/18 頁



第 3/18 頁



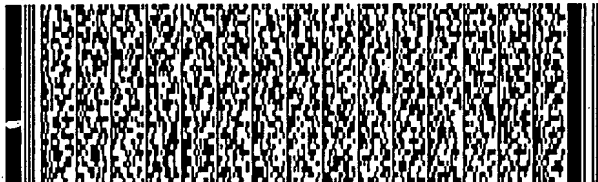
第 4/18 頁



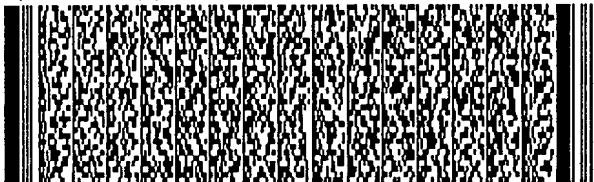
第 5/18 頁



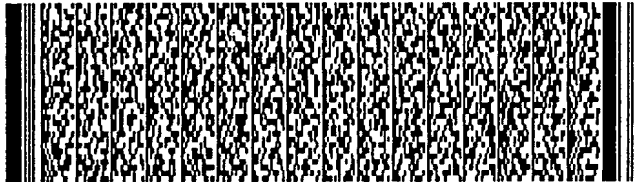
第 6/18 頁



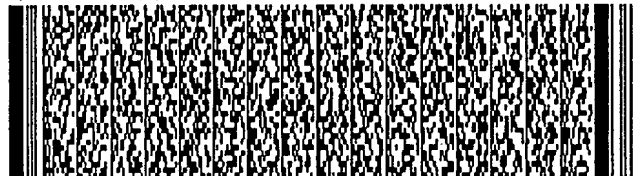
第 6/18 頁



第 7/18 頁



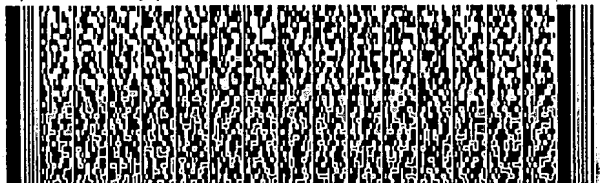
第 7/18 頁



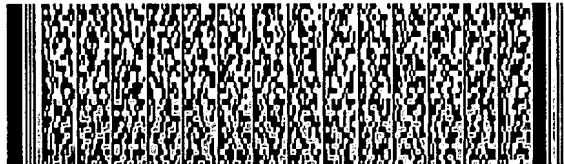
第 8/18 頁



第 8/18 頁



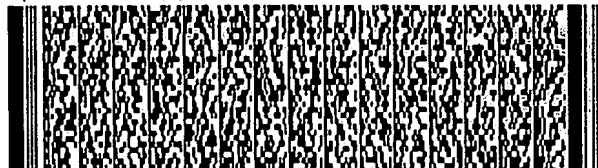
第 9/18 頁



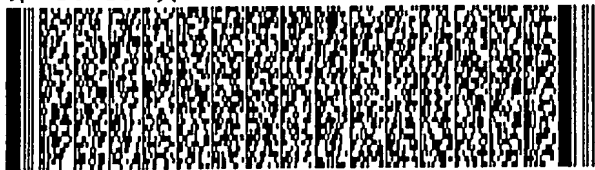
第 9/18 頁



第 10/18 頁



第 10/18 頁



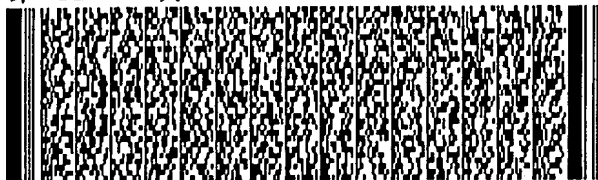
第 11/18 頁



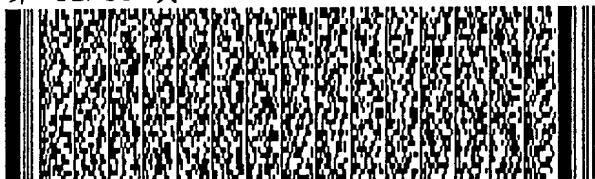
第 11/18 頁



第 12/18 頁



第 12/18 頁



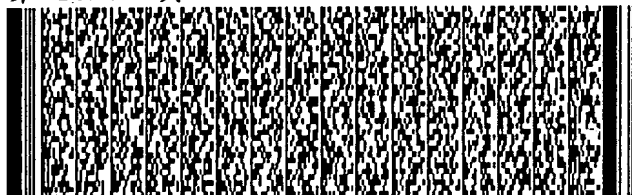
第 13/18 頁



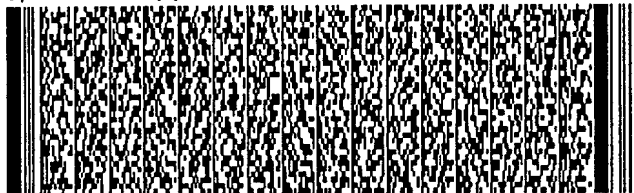
第 14/18 頁



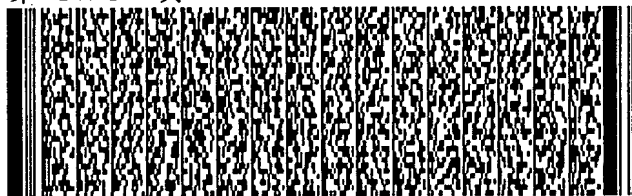
第 15/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

